

基于存储器内建自测试的全速测试设计

张立博,唐 威,颜 伟,李俊玲

(西安微电子技术研究所,陕西 西安 710054)

摘 要: 存储器内建自测试(memory built-in-self-test, MBIST)已成为可测性设计(design-for-testability, DFT)中用以测试嵌入式存储器的重要方法. 在一款以太网芯片中基于传统存储器内建自测试,提出了一种多级流水寄存器的全速测试结构,减少了测试时的读写时钟周期,缩短了测试时间,降低了测试成本. 经过仿真验证,证明了该流水结构设计能够有效提高内建自测试效率.

关键词: 存储器内建自测试;流水寄存器;全速测试

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2018)11—0043—04

Full-Speed Test Design Based on Memory Built-in Self-test

ZHANG Li-bo, TANG Wei, YAN Wei, Li Jun-ling

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: Memory built-in-self-test has become a major method to test embedded memory in design-for-testability. Based on a traditional memory built-in-self-test in a Ethernet chip, proposes a multistage pipeline stage full-speed test instruction, decrease read and write clock cycle in test, shorten test time, reduce test cost. After simulation verification, it proves the pipeline stage instruction can raise built-in-self-test efficiency.

Key words: memory built-in-self-test; pipeline stage; full-speed test

1 引言

随着集成电路向大规模、高集成度的不断发展,嵌入式存储器在芯片中的数量也越来越多. 到 2014 年嵌入式存储器将占据整个 SOC 芯片面积的 60% 以上^[1]. 为了保证芯片的质量和可靠性,对于存储器的测试必不可少. 传统的测试中,嵌入式存储器直接相连的输入输出引脚很少,导致可观性和可控性低;测试时间过长;存储器测试数据越来越大,超过了 ATE 的测试能力^[2]. 因此传统的测试方法已经不能够解决芯片内部存储器的测试问题,从而提出了存储器内建自测试技术(Memory Built-in Self Test, MBIST)来对该芯片嵌入式存储器进行测试^[3-4]. 它的基本思想是根据故障模型将激励生成及对比结构以硬件形式固化到电路内部,在测试信号控制下,电路自主产生测试激励,并对测试响应进行判断. MBIST 不需要大量的测试图形产生,简化了测试的

步骤,减少了测试时间和输入输出引脚,降低了测试成本.

2 MBIST 技术

MBIST 由控制器和待测存储器构成. 其中 BIST 控制器包括了数据生成器、地址生成器、控制生成器、比较器、期望值生成器,如图 1 所示.

数据生成器用来生成多种送入存储器的测试激励,不同的测试算法实现的电路所产生的测试激励内容也不相同. 数据生成器由控制器控制产生测试所需的全 0,全 1 或者 01 间隔的数据背景. 地址生成器产生测试地址信号,包括升序和降序,在 MBIST 电路中相当于一个计数器来使用. 控制生成器包含一个有限状态机,根据算法产生各种控制信号,用来分别控制数据生成器和地址生成器产生测试数据和相应的测试地址,提供存储器测试所需要的读/写控制信号. 期望值生成器主要

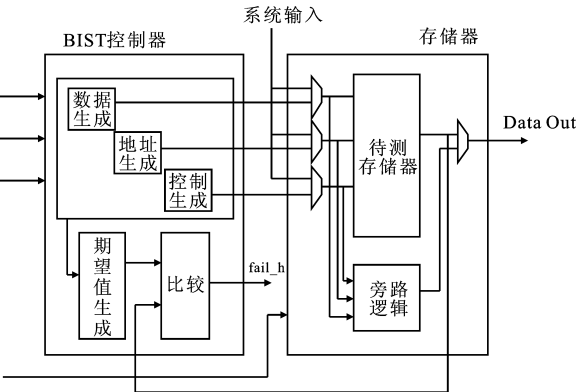


图 1 MBIST 结构框图

通过模拟存储器的功能对测试向量进行操作,得到期望的测试输出值用来与实测值进行比较.比较器用来将期望值与存储器输出的值进行比较,当两者一致时结果正确, fail_h 保持低电平,结果不一致时 fail_h 跳高^[5].

目前制造工艺尺寸越来越小,芯片上嵌入的存储器的密度和容量很大,为了保证整个芯片的可靠性,不仅要存储器的低频故障进行测试,也要对存储器在正常工作状态下的时序故障进行测试,确保存储器满足动态时序要求.传统的存储器内建自测试工作频率与芯片正常工作的频率相同.其中,存储器进行读操作需要 3 个时钟周期,写操作需要 2 个时钟周期,如图 2 所示.可见,传统的存储器内建自测试需要 5 个完整的时钟周期完成一次存储器的读、写操作.可以看出,传统的 MBIST 测试时间较长,测试成本高,并且连续单周期高强度的读写操作对测试要求苛刻,同时也影响了存储器的测试覆盖率.因此提出一种多级流水的结构,将读写周期压缩,大幅减少了测试时间.

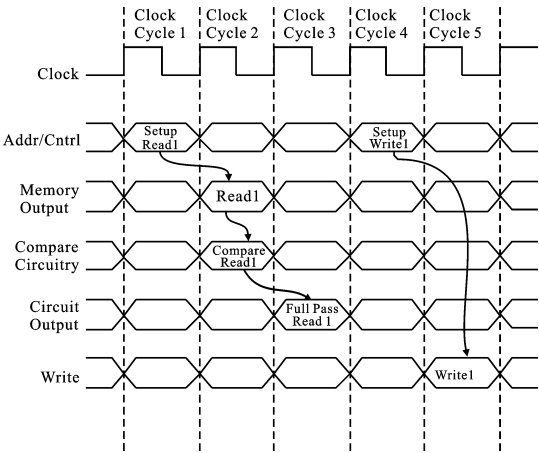


图 2 传统的 MBIST 读写操作

3 全速测试

全速测试是使用连续单周期读写操作方式的一种存储器内建自测试技术.全速测试在传统存储器内建自测试的基础上,在存储器的数据路径上添加了流水寄存器,如图 3 所示.流水寄存器结构压缩了存储器的读写周期从而提高了数据的处理速度.

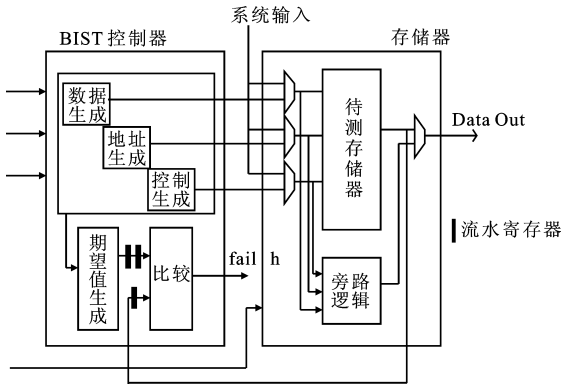


图 3 全速测试结构图

加入流水寄存器后的读操作如图 4 所示,第一级流水负责存储器读操作的准备工作,包括使能信号和地址信号的改变;第二级流水在下一个时钟有效沿将该地址存储的数据读出并与控制器发出的期望值进行比较;第三级流水将比较后的结果判断,输出 PASS 或者 FAIL 信号用于观测.因此,加入的三级流水线操作,相当于传统 MBIST 测试中分为 3 个周期的读操作,使其可以在单周期完成.

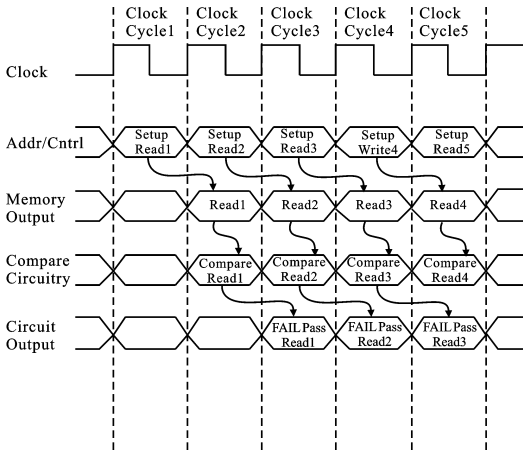


图 4 全速测试读操作时序图

存储器的写操作与上述读操作类似,从图 5 可以看出,在全速测试中写操作由之前的两个周期压缩为 1 个周期.其中第一级流水负责写操作的准备工作,包括写使能信号、地址信号和数据信号;在第二级流水在下一个时钟有效沿将数据写入存储器,

完成写操作。

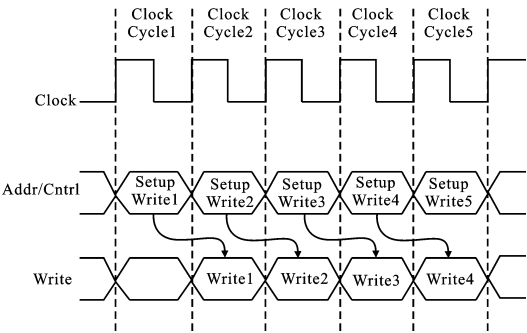


图 5 全速测试写操作时序图

为了保证测试时达到最大的速度,本设计中的读写将会在一个周期内完成,将先前写入的数据送去比较同时进行写操作的准备工作.这种并行的存储器读写操作在保证了读写的正确性基础上又最大限度的提高了测试速度,达到了全速测试的要求.可以看出全速测试下的存储器读写操作可以从图 2 的 5 个周期压缩至图 6 中的 3 个周期,测试时间和测试成本会大幅下降.

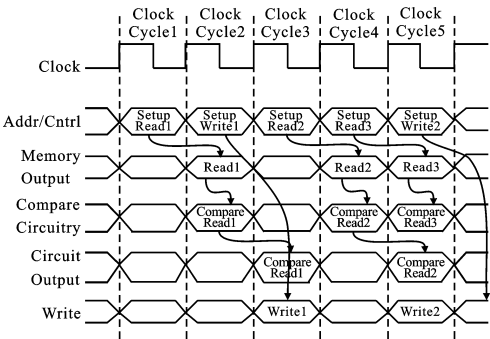


图 6 存储器全速测试读写操作

实现存储器全速测试的一个显著地优点是使用了测试的数据路径上的三级流水寄存器,它具有以下几个优势:第一由存储器 BIST 完成测试的三个步骤,即向待测存储器写入数据、读出数据并与期望值相比较.流水线使这三个步骤可以同时进行,在一个时钟周期里写入新的数据的同时,读取之前的结果并进行比较.而输出正确或者错误信号的时钟周期内还可以向待测存储器写入数据,一个读写周期便减小了五分之二.第二,在对存储器读写高速操作的过程中也可以发现普通读写操作下难以察觉的故障.流水线结构也使 BIST 在测试高速存储器的时候易于满足时序要求,电路中关键路径的长度也会缩短.这些优势也使得在保证测试质量的同时可以适用于大批量的嵌入式存储器测试中.

4 一款以太网芯片全速测试的设计与验证

本文在一款以太网交换机芯片的 MBIST 设计中进行全速测试设计.该芯片提供了一个高度集成的高速交换系统解决方案,其功能包括信息包缓存、MACs、寻址管理和一个非阻塞的交换控制器.遵从 IEEE 802.3™, IEEE 802.3u, IEEE 802.3x 规范,包括 MAC 控制暂停帧(PAUSE frame)和自动协商协议,能够和业界所有的标准以太网、高速以太网和千兆以太网设备保持兼容.该款以太网芯片内部共集成了 101 个三种类型的嵌入式存储器:SPRAM(单端口存储器),DPRAM(双端口存储器),DPRF(双端口寄存器文件),分布在不同的功能模块中.其中,一模块存储器 A、B 口异步,一端为 125 M 时钟,另一端可以根据应用的不同分别工作在 2.5 M/25 M/125 M 三种频率,当均为 125 M 时属于同步时钟;其余模块存储器 A、B 口时钟同步,均使用 PLL 倍频后的 125 M 系统时钟.鉴于芯片面积和引脚的限制,使用一个控制器控制同一模块下的存储器,控制器控制存储器的数目由 1 到 36 不等.按照图 3 的结构,在每一个 BIST 控制器的数据路径上加入 3 级流水寄存器,将读写周期进行压缩.

本文设计的存储器全速测试结构是基于 MENTOR 公司开发的 MBIST Architect 工具,仿真器采用的是 Cadence 公司的 NC-Verilog 工具.基于芯片中一个 2 048×38 双端口存储器的控制器进行了设计和验证.为了方便描述,先介绍仿真过程中的主要信号.CLKA、CLKB 为双端口存储器的两个输入时钟;CE-NA、CENB 为片选信号;WENA、WENB 为写使能信号;AA、AB 为输入地址信号;DA、DB 为输入数据信号;QA、QB 为输出信号;test_done 为电路自测试结束标志信号,测试完成时为高电平;fail_h 为故障标志信号,为高时标志检测到故障;debugz 为诊断信号,为高时开启诊断功能,仿真波形如图 7 所示.

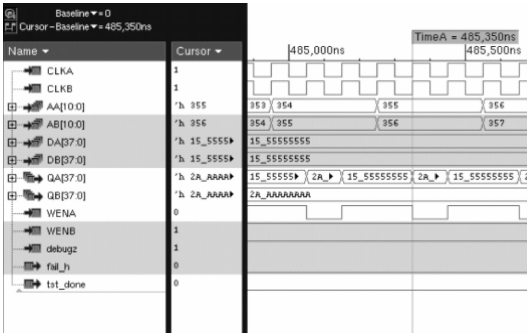


图 7 全速测试波形

从图 7 可以看出, WENA 为低有效, 对于存储器的 A 端口, 每一个时钟周期均在进行读写操作. 将该结构应用于芯片上其余 MBIST 中, 仿真波形图类似图 7, 流水寄存器达到了压缩测试周期, 减少测试时间的目的. 该 BIST 测试完成共需要 180 287 个时钟周期, 大约需要 1. 44 ms. 对此 2 048×38 存储器的 MBIST, 按照图 1 的结构将流水寄存器去掉, 恢复到传统的测试结构. 将测试结果与全速的结果进行对比, 如表 1 所示.

表 1 传统测试和全速测试对比

	测试时钟周期	测试时间
传统测试	446 992	3. 58 ms
全速测试	180 287	1. 44 ms

从表中可以看出本文设计的流水寄存器结构在传统的 MBIST 测试基础上将读写周期进行了压缩, 将测试时间缩短了 59. 78%, 大幅提高了测试效率.

5 结束语

本文基于存储器内建自测试的基础, 在传统的测试结构中给数据路径上增加了三级流水寄存器结构, 在保证测试可靠性不变的情况下将原有的读写操作从 5 个时钟周期压缩到了 3 个时钟周期. 通过仿真验证, 该结构能够有效地降低测试时间, 节省测试成本, 在原有基础上进一步提高对待测存储器的测试覆盖性. 在未来, 随着嵌入式存储器的不断发展, 全速测试也必将得到更为广泛的应用.

参考文献:

[1] Magarshack P. Quality of SoC designs through quality of the design flow: status and needs[C]//Proc. 2nd International Symposium on Quality Electronic Design. Washington, DC CA: IEEE Comput. SoC. , 2001: 26-28.

[2] Grawal Vishwani D, Kime Charles R, Saluja Kewal K. A tutorial on built-in self-test, Part 2: applications [J]. IEEE Design & Test of Computer, 1993, 10(2): 69-77.

[3] Agrawal V D, Kime C R, Saluja K K. A tutorial on built-in-self-test applications [J]. Design & Test of Computers, IEEE, 1993, 10(2): 66-77.

[4] Acharya G P, Rani M A. Survey of test strategies for system-on chip and it's embedded memory[C]// Proc. 2013 IEEE Recent Advances in Intelligent Computational System(RAICS). Trivandrum, India, Trivandrum: IEEE, 2013: 199-204.

[5] 徐金荣. 基于 BIST 的嵌入式存储器可测性设计研究[D]. 北京: 北京交通大学, 2008: 20-23.

作者简介:

张立博 男, (1990-), 硕士研究生. 研究方向为集成电路可测性设计. E-mail: 88273465@qq. com.

唐 威 男, (1974-), 博士, 研究员. 研究方向为集成电路设计.

颜 伟 男, (1985-), 硕士, 工程师. 研究方向为集成电路可测性设计.

李俊玲 女, (1977-), 硕士, 高级工程师. 研究方向为集成电路可测性设计.

(上接第 42 页)

[5] 高妍, 哈斯巴特. 高速传输系统帧同步模块设计及 FPGA 实现[J]. 军事通信技术, 2016, 37(2): 77-80.

[6] 马钰, 张立民, 王好同. 编码加扰序列的帧同步盲识别[J]. 电子学报, 2016, 44(9): 2087-2092.

[7] 崔涛, 呼延娘, 周焱, 等. 基于 FPGA 的 SDH 系统帧同步的研究与实现[J]. 空间电子技术, 2015, 32(1): 89-92.

作者简介:

邢宗岐 男, (1990-), 硕士研究生. 研究方向为计算机控制技术. Email: xingzongqi771@126. com.

贺占庄 男, (1962-), 博士, 研究员, 博士生导师. 研究方向为计算机系统结构、SoC 和 IP 核设计.

徐丹妮 女, (1989-), 硕士, 工程师. 研究方向为计算机系统结构.

哈云雪 女, (1988-), 硕士, 工程师. 研究方向为计算机系统结构.